

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-201651

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

H01G 4/30
H01G 4/232
H01G 2/00

(21)Application number : 05-334378

(71)Applicant : SUMITOMO METAL IND LTD

(22)Date of filing : 28.12.1993

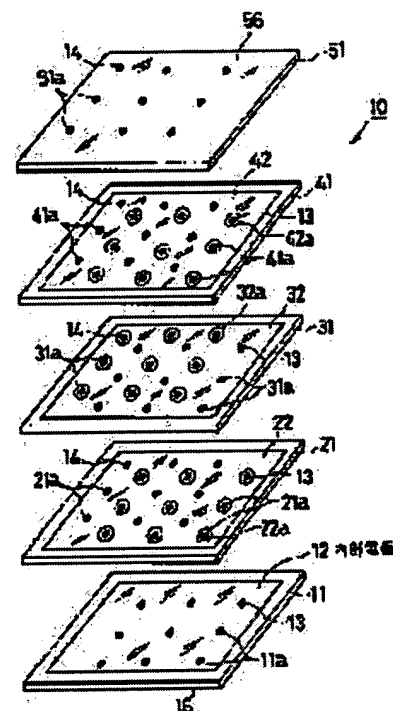
(72)Inventor : YAMAMOTO TOSHISHIGE
HASHIMOTO MASAYA

(54) MULTILAYER CAPACITOR

(57)Abstract:

PURPOSE: To obtain a high capacity low ESL multilayer capacitor which can be packaged easily by forming outer electrodes at parts on the opposite sides of a laminate comprising dielectric plates and inner electrodes, connecting the inner electrodes and the outer electrodes through a plurality of columnar connecting members, and disposing the connecting members at such positions as the electromagnetic field is offset by the currents flowing through the inner electrodes.

CONSTITUTION: Outer electrodes 16 and 56 are formed at least parts on the opposite sides of a laminate comprising dielectric plates 11-51 and inner electrodes 12-42. The inner electrodes 12, 32 and the outer electrodes 16 having an identical polarity are interconnected through a plurality of columnar terminals 13 while the inner electrodes 22, 42 and the outer electrodes 56 having identical polarity are interconnected through a plurality of columnar terminals 14. The columnar terminals 13, 14 are disposed at such positions as the electromagnetic fields produced by the currents flowing through the inner electrodes 12-42 are offset each other. Since the current flowing through the inner electrodes can be dispersed in all directions, the current path can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the multilayer capacitor with which the dielectric and the internal electrode were accumulated two or more layers by turns An external electrode is formed in every [of the front **** principal plane of the layered product which consists of said dielectric and said internal electrode / a part / at least]. The multilayer capacitor characterized by arranging said pillar-shaped connection material in the part which the field by the current which said internal electrode used as like-pole nature and said external electrode of each other are connected by two or more pillar-shaped connection material, and flows said internal electrode offsets mutually.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the multilayer capacitor of a low inductance from which the switching noise of the logical circuit in a high frequency field etc. is effectively removable in especially a detail more about a multilayer capacitor.

[0002]

[Description of the Prior Art] Large-capacity-izing of a capacitor and RF-ization are demanded in connection with large-capacity-izing of an electronic circuitry in recent years, improvement in the speed, and densification. A stacked type ceramic condenser is mentioned as one of the capacitors which can respond to such a demand. Especially, implementation of large-capacity-izing is possible for the chip mold laminating ceramic condenser of the type shown in drawing 7, and moreover, since mounting to a package etc. is easy, the object for the peaks of it is carried out.

[0003] 71 in drawing shows the dielectric, the internal electrode 72 formed all over the abbreviation except a left end between the dielectrics 71 by which the laminating was carried out, and the internal electrode 73 formed all over the abbreviation except a right end are formed for setting further, and the layered product 74 is constituted by these dielectrics 71, the internal electrode 72, and the internal electrode 73. Moreover, the external electrode 75 to which the end of an internal electrode 72 was connected, and the external electrode 76 to which the end of an internal electrode 73 was connected are formed in the both ends of this layered product 74, and the laminating chip capacitor 70 is constituted including these layered products 74 and the external electrodes 75 and 76.

[0004] Thus, in the constituted chip mold laminating ceramic condenser 70, capacity is formed in respect of the laminating of an internal electrode 72 and an internal electrode 73 which counters, total of each capacity value serves as the total capacity value of the chip mold laminating ceramic condenser 70, and even if small, large capacity is acquired.

[0005] By the way, generally, although a capacitor is a capacitive element ideally, it has the resistance and the inductance which the dielectric loss of dielectric materials and an electrode have actually, and is expressed in an equal circuit as shown in drawing 8, and the behavior changes with the frequencies to be used a lot. Drawing 9 shows as an example the frequency characteristics of capacity $C=1\text{nF}$, equivalent-series-resistance ESR (Equivalent Series Resistance) $=0.1\text{ohm}$, and impedance $|Z|$ of the capacitor which is equivalence serial inductance $ESL=1\text{nH}$. The frequency characteristics of the ideal frequency characteristics of the capacitor by which a dotted line has neither dielectric loss nor electrode resistance for frequency characteristics with an actual continuous line, i.e., the inductance (ωL) component of a capacitor, and a capacity component ($1/\omega C$) are shown here, respectively. By the actual capacitor, an impedance is beginning to shift from near 40MHz, and it is shown that, as for this, an apparent capacity is changing so that clearly from drawing 9. Moreover, resonance is produced in 160MHz and it acts as an inductor on the frequency beyond it. Although the bypass capacitor which performs the noise cut of a circuit was mentioned as a typical application of a capacitor, since an impedance would become high if the frequency of a noise is set to 300MHz or more, by capacitor which was described above, there was a problem that it became difficult to remove the noise in a RF field effectively.

[0006] In order to solve such a problem, it is the self-resonant frequency f_0 of a capacitor. It is necessary to raise. Generally, it is f_0 of a capacitor. The following formulas, [0007]

[Equation 1]

$$f_o = \frac{1}{2\pi\sqrt{ESL \cdot C}}$$

[0008] It is come out and expressed. Therefore, f_o In order to raise, ESL or C must be made small. However, as described above, with large-capacity-izing of a circuit in recent years, C tends to increase, C cannot be made small, but it becomes important to make ESL small.

[0009] In the chip mold laminating ceramic condenser 70, as shown in drawing 10, the current is flowing [no] in the same direction from the end of the external electrode 76 with the internal electrodes 72 and 73 which sandwich a dielectric 71, the electromagnetic field by the current are offset, and the value of ESL is a formula below abbreviation, and [0010].

[Equation 2]

$$ESL = \mu_o \frac{c \cdot d}{a}$$

μ_o : 透磁率

[0011] It is come out and expressed. As a result, a mutual inductance cannot serve as a big value by forward, and the value of ESL cannot be made small. For example, 76 external electrodes $a = 0.5\text{mm}$ and capacitor 70 height of $c = 0.5\text{mm}$, capacitor 70 die length of $d = 1\text{mm}$, μ_o : If it is permeability, ESL will serve as about 1.3 nH(s) and a big value.

[0012] A switching noise is a noise generated according to the current (charge and discharge current) which flows on the power-source line of a system by switching of a logical circuit, and is in the inductance and proportionality of a current path. At this time, a capacitor works as a supply source of a charge and discharge current. In order for the switching noise in this logical circuit to pose a big problem and to control said switching noise with improvement in the speed of current and an electronic circuitry, large-capacity-izing in a capacitor and low inductance-ization are desired.

[0013] In the chip mold laminating ceramic condenser 70 with which large capacity-ization was already attained, in order to control a switching noise more, it becomes important to make the inductance between to make ESL of the capacitor itself small the LSI chip at the time of mounting, etc. and a capacitor into min. Then, it considers as the approach of making small the inductance between an LSI chip and the chip mold laminating ceramic condenser 70, and how to establish many short current paths among these is considered.

[0014] Generally by the high speed and mass LSI, 50-100 power-source lines are prepared. When the chip mold laminating ceramic condenser 70 is mounted in the package with which such LSI was carried (refer to drawing 11), LSI chip 57 is stuck and connected to the ground layer 83 of a package 81 with a conductive ingredient. The ground layer pad (not shown) of LSI chip 57 is connected to the chip mold laminating ceramic condenser 70 from the external electrode 75 through a wire 82, the touch-down pad 84, a beer hall 85, a ground layer 83, a beer hall 86, and capacitor connection pad 75a. Therefore, many current paths exist and LSI chip 57 to the ground layer 83 of an inductance is small. However, the external electrode 75 of the chip mold laminating ceramic condenser 70 was small, in order to have to connect after collecting said a majority of current paths to one, the number of beer halls 86 has usually become one, and the technical problem that the inductance between LSI chip 57 and the chip mold laminating ceramic condenser 70 could not be made small as a result occurred. Moreover, also in the power-source line, the beer hall 91 became one and the wire 87, the power-source pad 88, the beer hall 89, and the voltage plane 90 had a technical problem in the case of a grounding conductor, and the same technical problem, although many current paths were secured.

[0015] On the other hand, in order to make ESL of the capacitor itself small, the chip mold multilayer capacitor with which said internal electrode was constituted so that the sense of the current which flows the internal electrode which adjoins up and down might serve as hard flow mostly is proposed (JP,4-70764,B).

[0016]

[Problem(s) to be Solved by the Invention] In a chip mold multilayer capacitor given [above-mentioned] in JP,4-70764,B By constituting said internal electrode so that the sense of the current which flows said internal electrode may serve as hard flow mostly Although the electromagnetic field by said current are offset and ESL of the capacitor itself is reduced, in case the area of an external electrode is small on the structure and it mounts in a package etc., even if it prepares many current paths by the LSI chip side This once had to be collected too, it had to connect with said chip

mold multilayer capacitor, and reducing the inductance between an LSI chip and a capacitor had the technical problem were difficult.

[0017] While this design is made in view of such a technical problem and it has large capacity and low [ESL], it aims at offering a multilayer capacitor with mounting easy moreover to a package etc., and the still smaller inductance between LSI chips etc.

[0018]

[Means for Solving the Problem] The multilayer capacitor applied to this invention in order to attain the above-mentioned problem In the multilayer capacitor with which the dielectric and the internal electrode were accumulated two or more layers by turns An external electrode is formed in every [of the front **** principal plane of the layered product which consists of said dielectric and said internal electrode / a part / at least]. It is characterized by arranging said pillar-shaped connection material in the part which the electromagnetic field by the current which said internal electrode used as like-pole nature and said external electrode of each other are connected by two or more pillar-shaped connection material, and flows said internal electrode offset mutually.

[0019]

[Function] Usually, in the multilayer capacitor, the external electrode is connected with said internal electrode set further, and it is constituted so that capacity may be formed between said adjoining internal electrodes, so that an internal electrode may be connected by turns as a power-source line, a grounding conductor, a power-source line, a grounding conductor, and ..

[0020] According to the multilayer capacitor of a configuration of having described above, said external electrode is formed in every [of the front **** principal plane of said layered product which consists of said dielectric and said internal electrode / a part / at least]. Since said pillar-shaped connection material is arranged in the part which the electromagnetic field by the current which said internal electrode used as like-pole nature and said external electrode of each other are connected by said two or more pillar-shaped connection material, and flows said internal electrode offset mutually While distributing so that the sense of the current which flows said internal electrode may not incline in the fixed direction, the distance in which a current flows by said a majority of pillar-shaped connection material becomes short, and, as a result, ESL becomes small.

[0021] Moreover, since capacity is formed by the opposed face of said internal electrode by which the laminating was carried out, large capacity is acquired.

[0022] Furthermore, in case it mounts, while it becomes unnecessary to collect many current paths and a mutual inductance becomes small by connecting said LSI chip by wirebonding etc. on said external electrode, it becomes possible to shorten a connection path and, as a result, the inductance between said LSI chips etc. and multilayer capacitors becomes small.

[0023]

[Example] Hereafter, the example of the multilayer capacitor concerning this invention is explained based on a drawing. Here, the case where the internal electrode of four layers is formed is explained. Drawing 1, drawing 2, and drawing 3 are the perspective views, bottom views, and decomposition perspective views having shown the multilayer capacitor concerning an example. The dielectric plate formed using high dielectric constant ingredients, such as barium titanate, is shown, and two or more breakthroughs 11a, 21a, 31a, 41a, and 51a are formed in the predetermined part of the dielectric plates 11-51 by the inside 11, 21, 31, 41, and 51 of drawing. Internal electrodes 12, 22, 32, and 42 are formed using the metal paste which becomes a part except the perimeter constant width of each top face of the dielectric plates 11-41 from Pb, Pt and Ag in which simultaneous baking with a dielectric is possible, Pd-Ag, etc. The layered product 15 is formed by carrying out the laminating of these dielectrics plates 11-51 and the internal electrodes 12-42 by turns one by one. The external electrode 56 and the external electrode 16 are formed in the front **** principal plane of a layered product 15 using the metal paste which consists of Pb, Pt and Ag in which simultaneous baking with a dielectric is possible, Pd-Ag, etc. And the external electrode 16 which has like-pole nature, and the internal electrodes 12 and 32 set further are connected by the pillar-shaped terminal 13 with which Breakthroughs 11a-31a were filled up, and the external electrode 56 which has other like-pole nature, and the internal electrodes 22 and 42 set further are connected by the pillar-shaped terminal 14 with which Breakthroughs 21a-51a were filled up. These pillar-shaped terminals 13 and 14 are formed using the metal paste which has conductivity and consists of Pb, Pt and Ag in which simultaneous baking with a dielectric is possible, Pd-Ag, etc., and are arranged in the part where the electromagnetic field by the flowing current offset internal electrodes 12-42. Moreover, the ** omission sections 22a

and 42a which go away since the pillar-shaped terminal 14 is not connected to internal electrodes 22 and 42 are formed, the ** omission sections 12a and 32a which go away since the pillar-shaped terminal 13 is not connected to internal electrodes 12 and 32 are formed, and the multilayer capacitor 10 is constituted including these layered products 15 and the external electrodes 16 and 56.

[0024] In order to produce the multilayer capacitor 10 of such a configuration, after adding and kneading a dispersant, an organic binder, and a plasticizer to the powder of the barium titanate which added textile-glass-yarn sintering acid first, it fabricates by law (doctor blade) in the shape of [whose thickness is about 50 micrometers] a sheet, and a dielectric sheet is obtained.

[0025] It is baked thoroughly. A dimension Next, after [for example,] cutting a dielectric sheet in magnitude from which length is set to 15mm and width is set to 15mm, Two or more breakthroughs are formed, respectively so that it may become the same arrangement as breakthrough 21a shown in three dielectric sheets at drawing 3. The formation part of the internal electrode 22 furthermore shown in drawing 3 of one principal plane of three dielectric sheets, and the same part, That is, at the same time it forms an internal electrode pattern, respectively with the screen printing which used the metal mask for the part except ** omission section 22a which goes away since the pillar-shaped terminals 13 and 14 of perimeter constant width and heteropolarity are not connected It is filled up for example, with a Pd-Ag paste as a metal paste in all breakthroughs.

[0026] Then, a laminating is carried out one by one, rotating every 1 degree [180] of dielectric sheets of three sheets which used the internal electrode pattern as the top face.

[0027] Next, two or more breakthroughs are formed, respectively so that it may become the arrangement of breakthrough 51a shown in two another dielectric sheets at drawing 3, and the same arrangement. At the same time it forms an external electrode pattern, respectively with the screen printing which furthermore used the metal mask all over one principal plane of two dielectric sheets It is filled up with said metal paste in all breakthroughs, and an internal electrode pattern is formed with the screen printing which used the metal mask for the part except the perimeter constant width of other principal planes of this one dielectric sheet further. Then, the dielectric sheet with which only the external electrode pattern was formed on the dielectric sheet by which the laminating was carried out A laminating is carried out so that it may be in agreement with the location of a breakthrough where the **** omission section is not formed in the perimeter on the top face of a dielectric sheet where the laminating of the location of a breakthrough was carried out while using the external electrode pattern as the top face. Furthermore the dielectric sheet with which the external electrode pattern and the internal electrode pattern were formed in the bottom of this dielectric sheet by which the laminating was carried out While using an internal electrode pattern as a top face, a laminating is carried out so that it may come to the location where the breakthrough rotated 180 degrees of locations of the breakthrough in the dielectric sheet of the maximum upper layer, and a laminating dielectric sheet is formed. At this time, the breakthrough and the internal electrode pattern are formed so that the pillar-shaped terminals 13 and 14 may be arranged in the part where the electromagnetic field by the flowing current offset the internal electrodes 12-42 of each other.

[0028] Next, a laminating dielectric sheet is calcinated in 1250-degree C atmospheric air, and a multilayer capacitor 10 is produced.

[0029] Drawing 4 is the mimetic diagram having shown the direction of the current which flows the internal electrode 12 in case the polarity of an internal electrode 12 is + in the multilayer capacitor 10 concerning an example, and drawing 5 is the mimetic diagram having shown the direction of the current which flows the internal electrode 22 in case the polarity of an internal electrode 22 is -.

[0030] In the multilayer capacitor 10 concerning an example, the current which flows internal electrodes 12 and 22 is flowing from + to - as a whole so that clearly from drawing 4 and drawing 5, and if this sense is expressed in vector, each will flow into an omnidirection from breadth or an omnidirection. Moreover, the distance in which a current flows is as short as one half of the distance between the pillar-shaped terminals 14 of the same kind. Thus, while distributing the sense of a current and offsetting the electromagnetic field of a current by taking into consideration arrangement of the pillar-shaped terminals 13 and 14 geometrically, the distance in which a current flows can be shortened and ESL can be made small.

[0031] When ESL of the multilayer capacitor 10 concerning an example was actually investigated, it was checked that they are 0.05nH and a small value.

[0032] Drawing 6 is the typical sectional view having shown the example of 1 activity of the multilayer capacitor 10 concerning an example. Here, the multilayer capacitor 10 which has a somewhat larger dimension than LSI chip 57 was

used. 55 in drawing shows the package, the multilayer capacitor 10 carried in the package 55 is stuck and connected with the conductive ingredient on the voltage plane 69 of a package 55, and the external electrode terminal of a power-source line and the external electrode 56 on top serve as [the external electrode 16 of multilayer capacitor 10 underside] an external electrode terminal of a touch-down line. On the external electrode 56, with the conductive ingredient, LSI chip 57 sticks and is connected. The earth terminal (not shown) of LSI chip 57 is directly connected to the external electrode 56 by the wire 59, it connects with an external power (not shown) through the touch-down pad 61 of a package, a beer hall 62, a ground layer 63, a beer hall 64, and a pin 65 from a wire 60 further, and the current path of short a large number is secured. On the other hand, the power supply terminal (not shown) of LSI chip 57 is connected with the external power (not shown) through the beer hall 53 and the pin 54 while connecting with the external electrode 16 of a multilayer capacitor 10 through the pad 67 of a package, a beer hall 68, and a voltage plane 69 from a wire 66.

[0033] In the multilayer capacitor 10 applied to an example so that clearly from drawing 6 By forming the external electrodes 16 and 56 of a large area in the front **** principal plane of a layered product 15 The current path from LSI chip 57 is connected to the external electrode 56 of the direct multilayer capacitor 10. Or it is not necessary to connect with the external electrode 16 through many current paths, and for the current path of short a large number to be secured, and to collect these current paths in the middle of a connection path, and the inductance between LSI chip 57 and a multilayer capacitor 10 can be made small.

[0034] In addition, although this example explained the case where the external electrodes 16 and 56 were formed all over the front **** principal plane of a layered product 15, even if the part in which the external electrodes 16 and 56 are formed is not the whole surface of the front **** principal plane of a layered product 15, it should just contain altogether the pillar-shaped terminal 13 or the pillar-shaped terminal 14.

[0035] If it is in the multilayer capacitor 10 concerning an example as explained above, while being able to make an omnidirection distribute the direction of the current which flows internal electrodes 12-42, distance in which a current flows with many pillar-shaped terminals 13 and 14 can be shortened, and ESL of multilayer capacitor 10 the very thing can be made small. And since capacity is formed by the opposed face of internal electrodes 12-42, large capacity can be acquired.

[0036] Moreover, it can mount directly under LSI chip 57 carried in package 55 grade by making connection with the exterior from the external electrodes 16 and 56 with a large area. Moreover, in case it mounts, while it becomes unnecessary to collect many current paths and being able to make an inductance small, a connection path with LSI chip 57 is shortened, and the inductance between LSI chip 57 and a multilayer capacitor 10 can be made small.

[0037]

[Effect of the Invention] In the multilayer capacitor applied to this invention as explained in full detail above In the multilayer capacitor with which the dielectric plate and the internal electrode were accumulated two or more layers by turns An external electrode is formed in every [of the front **** principal plane of the layered product which consists of said dielectric plate and said internal electrode / a part / at least]. Since said pillar-shaped connection material is arranged in the part which the electromagnetic field by the current which said internal electrode used as like-pole nature and said external electrode of each other are connected by two or more pillar-shaped connection material, and flows said internal electrode offset mutually While being able to make an omnidirection distribute the direction of the current which flows said internal electrode, distance in which a current flows by said a majority of pillar-shaped connection material is shortened, ESL of said multilayer capacitor itself can be made small, and since capacity is moreover formed by the opposed face of said internal electrode, large capacity can be acquired. Moreover, in case it mounts, while it becomes unnecessary to collect many current paths and being able to make an inductance small, a connection path with said LSI chip is shortened, and the inductance between said LSI chips and said multilayer capacitors can be made small. Therefore, the switching noise of the logical circuit especially in a high frequency field etc. is effectively removable.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the perspective view having shown typically the example of the chip mold laminating ceramic condenser concerning this invention.

[Drawing 2] It is the bottom view having shown the chip mold laminating ceramic condenser concerning an example.

[Drawing 3] It is the perspective view having decomposed and shown the layered product part of the chip mold laminating ceramic condenser concerning an example.

[Drawing 4] It is the mimetic diagram having shown the direction of the current which flows the internal electrode in the multilayer capacitor concerning an example.

[Drawing 5] It is the mimetic diagram having shown the direction of the current which flows the internal electrode shown in drawing 4 in the multilayer capacitor concerning an example, and an adjoining internal electrode.

[Drawing 6] It is the typical sectional view having shown the case where it mounted in the package in which the multilayer capacitor concerning an example was carried in LSI.

[Drawing 7] It is the partial cross-section perspective view having shown the conventional chip mold laminating ceramic condenser.

[Drawing 8] It is the representative circuit schematic having shown the circuitry of a chip mold laminating ceramic condenser.

[Drawing 9] It is the graph which showed the frequency characteristics of impedance $|Z|$ in the conventional chip mold laminating ceramic condenser.

[Drawing 10] It is a typical sectional view side to show the direction where the current in the conventional multilayer capacitor flows.

[Drawing 11] It is the typical sectional view having shown the case where it mounted in the package in which the conventional chip mold laminating ceramic condenser was carried in LSI.

[Description of Notations]

- 10 Multilayer Capacitor
- 11, 21, 31, 41, 51 Dielectric plate
- 12, 22, 32, 42 Internal electrode
- 13 14 Pillar-shaped terminal
- 15 Layered Product
- 16 56 External electrode

[Translation done.]

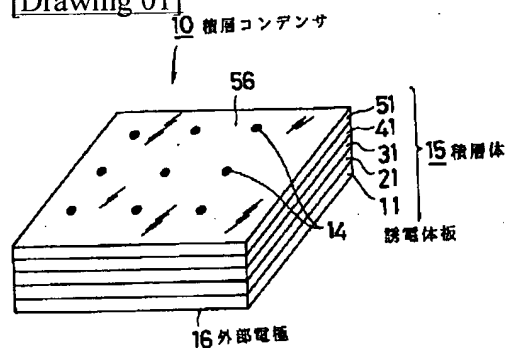
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

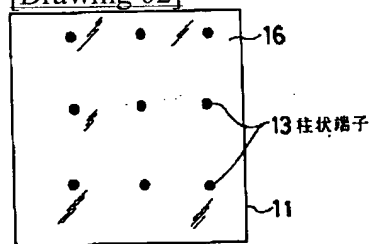
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

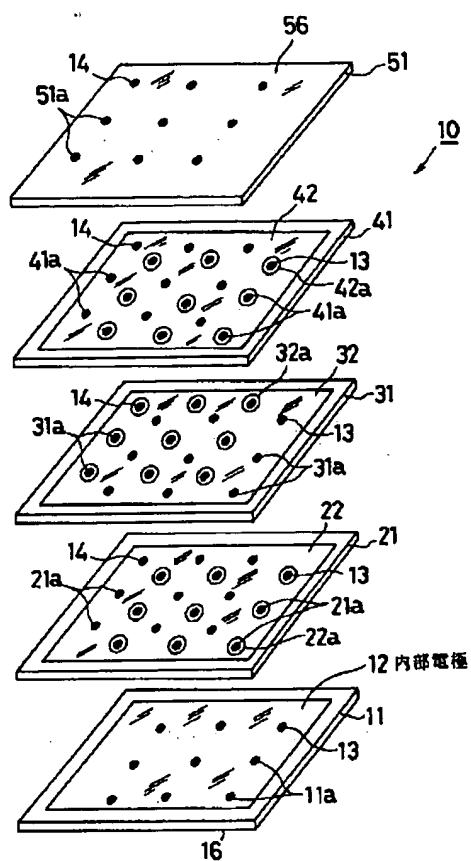
[Drawing 01]



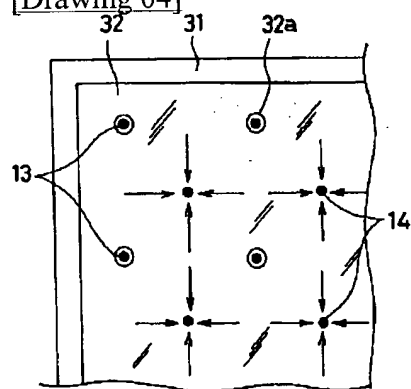
[Drawing 02]



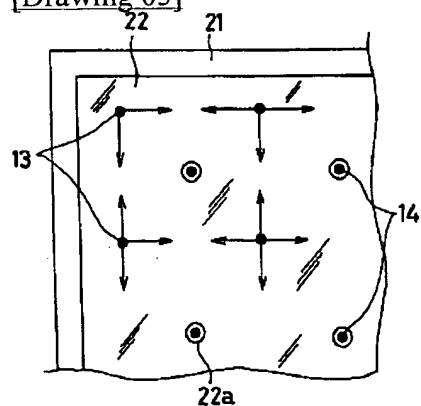
[Drawing 03]



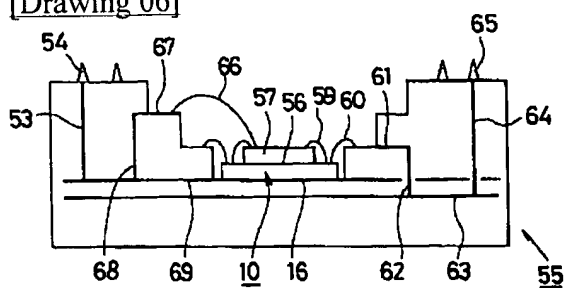
[Drawing 04]



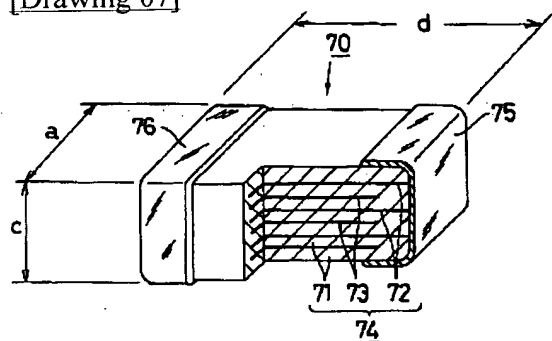
[Drawing 05]



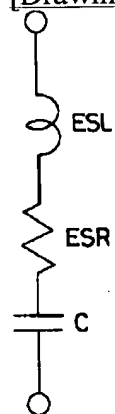
[Drawing 06]



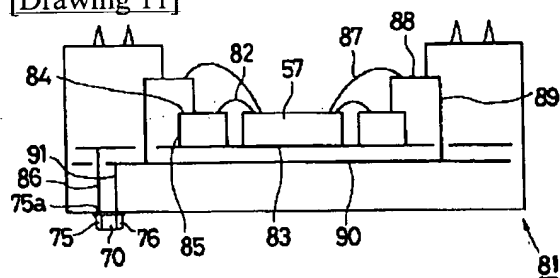
[Drawing 07]



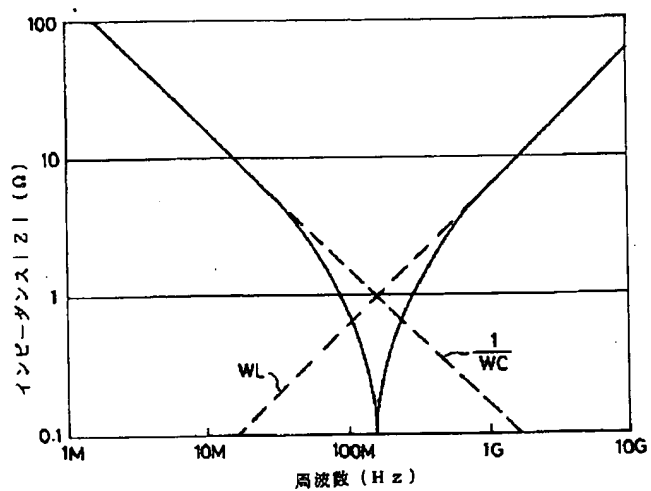
[Drawing 08]



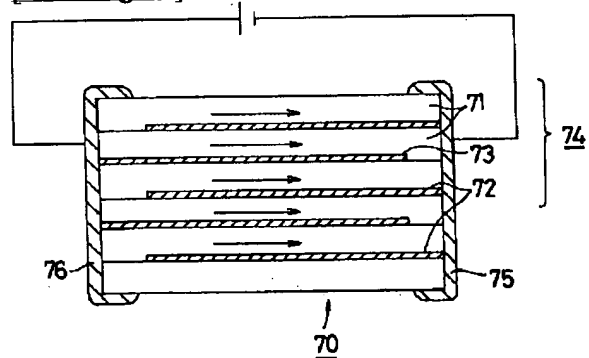
[Drawing 11]



[Drawing 09]



[Drawing 10]



[Translation done.]

【物件名】

刊行物 2

【添付書類】

刊行物 2

7 054

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-201651

(43) 公開日 平成7年(1995)8月4日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	P I	技術表示箇所
H 0 1 G 4/30 4/232 2/00	3 0 1 D	9174-5E 9174-5E	H 0 1 G 1/ 147 1/ 16	Z
			審査請求 未請求 請求項の数 1 O L (全 7 頁)	

(21) 出願番号 特願平5-334378

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72) 発明者 山本 利重

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

(72) 発明者 橋本 昌也

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

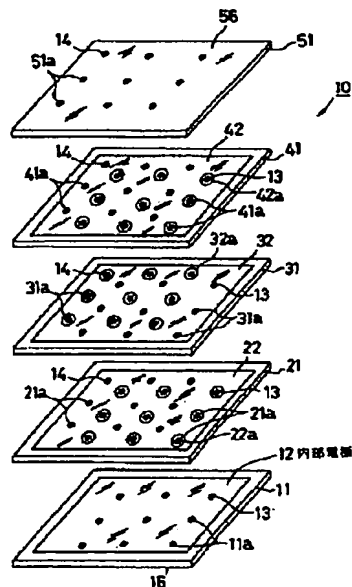
(74) 代理人 弁理士 井内 龍二

(54) 【発明の名称】 積層コンデンサ

(57) 【要約】 (修正有)

【構成】 誘電体板11～51及び内部電極12～42からなる積層体15の表裏両主面の少なくとも一部分ずつに外部電極16、56が形成され、同極性となる内部電極12、32及び外部電極16が複数個の柱状端子13で、同極性となる内部電極22、42及び外部電極56が複数個の柱状端子14でそれぞれ互いに接続され、かつ内部電極12～42を流れる電流による電磁界が互いに相殺する箇所に柱状端子13、14が配設されている積層コンデンサ10。

【効果】 内部電極12～42を流れる電流の方向を分散させると共に多数の柱状端子13、14により電流の流れる距離を短くし、積層コンデンサ10自体のESLを小さくできる。また実装する際、多数の電流路の集約が不要となって相互インダクタンスを小さくできると共にLSIチップ57との接続経路を短縮でき、LSIチップ57と積層コンデンサ10との間におけるインダクタンスを小さくできる。



(2)

特開平7-201651

1

【特許請求の範囲】

【請求項1】誘電体と内部電極とが交互に複数層積み重ねられた積層コンデンサにおいて、前記誘電体及び前記内部電極からなる積層体の表裏両面の少なくとも一部分ずつに外部電極が形成され、同極性となる前記内部電極及び前記外部電極が複数個の柱状接続部材で互いに接続され、かつ前記内部電極を流れる電流による磁界が互いに相殺する箇所に前記柱状接続部材が配設されていることを特徴とする積層コンデンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は積層コンデンサに関し、より詳細には特に高周波領域における論理回路のスイッチングノイズ等を効果的に除去することができる低インダクタンスの積層コンデンサに関する。

【0002】

【従来の技術】近年の電子回路の大容量化、高速化、高密度化に伴い、コンデンサの大容量化、高周波化が要求されている。このような要求に対応できるコンデンサのひとつとして、積層セラミックコンデンサが挙げられる。中でも、図7に示したタイプのチップ型積層セラミックコンデンサは大容量化の実現が可能であり、しかもパッケージ等への実装が容易であるため盛用されている。

【0003】図中71は誘電体を示しており、積層された誘電体71間には、左端を除く略全面に形成された内部電極72と、右端を除く略全面に形成された内部電極73とが一層おきに形成されており、これら誘電体71、内部電極72及び内部電極73により積層体74が構成されている。また、この積層体74の両端部には内部電極72の一端が接続された外部電極75と、内部電極73の一端が接続された外部電極76とが形成され、これら積層体74及び外部電極75、76を含んで積層チップコンデンサ70は構成されている。

【0004】このように構成されたチップ型積層セラミックコンデンサ70では、内部電極72と内部電極73との対向する積層面で容量が形成され、各容量値の総和がチップ型積層セラミックコンデンサ70の総容量値となり、小型であっても大容量が得られる。

【0005】ところで一般に、コンデンサは理想的には容量素子であるが、現実的には誘電体材料の誘電損失や電極の持つ抵抗及びインダクタンスを有しており、図8に示したような等価回路で表され、使用する周波数によりその振るまいが大きく変化する。図9は一例として、容量 $C=1\text{ nF}$ 、等価直列抵抗 ESR (Equivalent Series Resistance) $=0.1\text{ }\Omega$ 、等価直列インダクタンス $\text{ESL}=1\text{ nH}$ であるコンデンサのインピーダンス $|Z|$ の周波数特性を示したものである。ここで実線は現実の周波数特性を、点線は誘電損失や電極抵抗を有さないコンデンサの理想的な周波数特性すなわちコンデンサの

2

インダクタンス(ωL)成分及び容量成分($1/\omega C$)の周波数特性をそれぞれ示している。図9から明らかなように、現実のコンデンサでは40MHz付近からインピーダンスがずれ始めており、これは見かけの容量が変化していることを示している。また、160MHzで共振を生じており、それ以上の周波数ではインダクタとして振るまう。コンデンサの代表的な用途として、回路のノイズカットを行うバイパスコンデンサが挙げられるが、上記したようなコンデンサでは、ノイズの周波数が300MHz以上になるとインピーダンスが高くなるため、高周波領域におけるノイズを効果的に除去することが困難になるという問題があった。

【0006】このような問題を解決するには、コンデンサの自己共振周波数 f_0 を高める必要がある。一般に、コンデンサの f_0 は以下の式、

【0007】

【数1】

$$f_0 = \frac{1}{2\pi\sqrt{\text{ESL} \cdot C}}$$

【0008】で表される。従って f_0 を高めるには、 ESL あるいは C を小さくしなければならない。しかし、上記したように近年の回路の大容量化に伴って C は増大する傾向にあり、 C を小さくすることはできず、 ESL を小さくすることが重要となる。

【0009】チップ型積層セラミックコンデンサ70では、図10に示したように誘電体71をはさむ全ての内部電極72、73で、外部電極76の一端から電流が同一方向に流れており、電流による電磁界が相殺されることはなく、 ESL の値は略以下の式、

【0010】

【数2】

$$\text{ESL} = \mu_0 \cdot \frac{c \cdot d}{a}$$

 μ_0 : 透磁率

【0011】で表される。その結果相互インダクタンスが正で大きな値となり、 ESL の値を小さくすることができない。例えば、外部電極76幅 $a=0.5\text{ mm}$ 、コンデンサ70高さ $c=0.5\text{ mm}$ 、コンデンサ70長さ $d=1\text{ mm}$ 、 μ_0 : 透磁率とすると、 ESL は約1.3 nHと大きな値となる。

【0012】スイッチングノイズは論理回路のスイッチングによってシステムの電源ラインに流れる電流(充放電電流)により発生するノイズであり、電流路のインダクタンスと比例関係にある。この時、コンデンサは充放電電流の供給源として働く。現在、電子回路の高速化に伴い、この論理回路におけるスイッチングノイズが大きな問題となってきており、前記スイッチングノイズを抑制するためには、コンデンサにおける大容量化、低インダクタンス化が望まれている。

3

【0013】既に大容量化が図られたチップ型積層セラミックコンデンサ70において、スイッチングノイズをより抑制するには、コンデンサ自体のESLを小さくすること、及び実装した際のLSIチップ等とコンデンサとの間のインダクタンスを最小にすることが重要となる。そこで、LSIチップとチップ型積層セラミックコンデンサ70との間のインダクタンスを小さくする方法として、これらの間に多数の短い電流路を設ける方法が考えられている。

【0014】一般に、高速かつ大容量のLSIでは50～100本の電源ラインが設けられており、このようなLSIが搭載されたパッケージにチップ型積層セラミックコンデンサ70を実装する場合（図11参照）、LSIチップ57はパッケージ81の接地層83に導電性材料で密着して接続され、LSIチップ57の接地層パッド（図示せず）はワイヤ82、接地パッド84、ビアホール85、接地層83、ビアホール86、コンデンサ接続パッド75aを介して外部電極75からチップ型積層セラミックコンデンサ70に接続される。従って、LSIチップ57から接地層83までは多数の電流路が存在しており、インダクタンスは小さい。しかし、チップ型積層セラミックコンデンサ70の外部電極75が小さく、多数の前記電流路を一本に集約した後接続しなければならないため、ビアホール86の数は通常1本となっており、結果的にはLSIチップ57とチップ型積層セラミックコンデンサ70間におけるインダクタンスを小さくすることはできないという課題があった。また電源線においても、ワイヤ87、電源パッド88、ビアホール89、電源層90までは多数の電流路が確保されているものの、ビアホール91が1本となり、接地線の場合

における課題と同様の課題があった。

【0015】他方、コンデンサ自体のESLを小さくするために、上下に隣接する内部電極を流れる電流の向きがほぼ逆方向となるように前記内部電極が構成されたチップ型積層コンデンサが提案されている（特公平4-70764号公報）。

【0016】

【発明が解決しようとする課題】上記した特公平4-70764号公報記載のチップ型積層コンデンサにおいては、前記内部電極を流れる電流の向きがほぼ逆方向となるように前記内部電極が構成されていることにより、前記電流による電磁界が相殺され、コンデンサ自体のESLは低減されるものの、その構造上、外部電極の面積が小さくなっており、パッケージ等を実装する際、LSIチップ側で多数の電流路を用意しても、やはり一旦これを集約して前記チップ型積層コンデンサに接続しなければならない。LSIチップとコンデンサとの間におけるインダクタンスを低減することは困難であるという課題があった。

【0017】本発明はこのような課題に鑑みなされたも

(3)

特開平7-201651

4

のであって、大容量かつ低ESLを有しながら、しかもパッケージ等への実装が容易で、さらにLSIチップ等との間におけるインダクタンスが小さい積層コンデンサを提供することを目的としている。

【0018】

【課題を解決するための手段】上記問題を達成するために本発明に係る積層コンデンサは、誘電体と内部電極とが交互に複数層積み重ねられた積層コンデンサにおいて、前記誘電体及び前記内部電極からなる積層体の表裏両主面の少なくとも一部分ずつに外部電極が形成され、同極性となる前記内部電極及び前記外部電極が複数個の柱状接続部材で互いに接続され、かつ前記内部電極を流れる電流による電磁界が互いに相殺する箇所に前記柱状接続部材が配設されていることを特徴としている。

【0019】

【作用】通常、積層コンデンサにおいては、内部電極が電源線、接地線、電源線、接地線、・・・と交互に接続されるように、外部電極が一層おきの前記内部電極と接続されており、隣接する前記内部電極間で容量を形成するように構成されている。

【0020】上記した構成の積層コンデンサによれば、前記誘電体及び前記内部電極からなる前記積層体の表裏両主面の少なくとも一部分ずつに前記外部電極が形成され、同極性となる前記内部電極及び前記外部電極が複数個の前記柱状接続部材で互いに接続され、かつ前記内部電極を流れる電流による電磁界が互いに相殺する箇所に前記柱状接続部材が配設されているので、前記内部電極を流れる電流の向きが一定方向に偏らないように分散されると共に、多数の前記柱状接続部材により電流の流れる距離が短くなり、その結果ESLが小さくなる。

【0021】また、積層された前記内部電極の対向面で容量が形成されるため、大容量が得られる。

【0022】さらに、実装する際、前記外部電極上に前記LSIチップを例えばワイヤボンディング等で接続することにより、多数の電流路を集約する必要がなくなると相互インダクタンスが小さくなると共に、接続経路を短縮することが可能となり、その結果前記LSIチップ等と積層コンデンサとの間におけるインダクタンスが小さくなる。

【0023】

【実施例】以下、本発明に係る積層コンデンサの実施例を図面に基いて説明する。ここでは4層の内部電極が形成されている場合について説明する。図1、図2及び図3は実施例に係る積層コンデンサを示した斜視図、底面図及び分解斜視図である。図中11、21、31、41、51はチタン酸バリウム等の高誘電率材料を用いて形成された誘電体板を示しており、誘電体板11～51の所定箇所には複数個の貫通孔11a、21a、31a、41a、51aが形成されている。誘電体板11～41の各上面の周囲一定幅を除く部分に、誘電体との同

5

時焼成が可能なPb、Pt、Ag、Pd-Ag等からなる金属ペーストを用いて内部電極12、22、32、42が形成されている。これら誘電体板11～51及び内部電極12～42が順次交互に積層されることにより積層体15が形成されている。積層体15の表裏両主面には誘電体との同時焼成が可能なPb、Pt、Ag、Pd-Ag等からなる金属ペーストを用いて外部電極56及び外部電極16が形成されている。そして、同極性を有する外部電極16及び一層おきの内部電極12、32が貫通孔11a～31aに充填された柱状端子13により接続され、他の同極性を有する外部電極56及び一層おきの内部電極22、42が貫通孔21a～51aに充填された柱状端子14により接続されている。これら柱状端子13、14は導電性を有し、かつ誘電体との同時焼成が可能なPb、Pt、Ag、Pd-Ag等からなる金属ペーストを用いて形成されており、内部電極12～42を流れる電流による電磁界が相殺する箇所に配設されている。また、内部電極22、42には柱状端子14が接続されないためのくり抜き部22a、42aが形成され、内部電極12、32には柱状端子13が接続されないためのくり抜き部12a、32aが形成されており、これら積層体15及び外部電極16、56を含んで積層コンデンサ10は構成されている。

【0024】このような構成の積層コンデンサ10を作製するには、まずガラス系統結助剤を添加したチタン酸バリウムの粉末に分散剤、有機バインダ、可塑剤を添加して混練した後、(ドクターブレード)法により厚さが約50 μ mのシート状に成形し、誘電体シートを得る。

【0025】次に、焼き上がり寸法が例えば縦が15mm、横が15mmとなるような大きさに誘電体シートを切断した後、誘電体シート3枚に、図3に示した貫通孔21aと同様の配置となるように複数個の貫通孔をそれぞれ形成し、さらに誘電体シート3枚の一主面の、図3に示した内部電極22の形成部分と同様の部分、つまり周囲一定幅及び異極性の柱状端子13、14が接続されないためのくり抜き部22aを除く部分にメタルマスクを用いたスクリーン印刷法により内部電極パターンをそれぞれ形成すると同時に、全ての貫通孔内に金属ペーストとして例えばPd-Agペーストを充填する。

【0026】この後、内部電極パターンを上面にした3枚の誘電体シートを1枚ずつ180°回転させながら順次積層する。

【0027】次に、別の誘電体シート2枚に、図3に示した貫通孔51aの配置と同様の配置となるように複数個の貫通孔をそれぞれ形成し、さらに誘電体シート2枚の一主面の全面にメタルマスクを用いたスクリーン印刷法により外部電極パターンをそれぞれ形成すると同時に、全ての貫通孔内に前記金属ペーストを充填し、さらにこの誘電体シート1枚の他の主面の周囲一定幅を除く部分にメタルマスクを用いたスクリーン印刷法により内

(4)

特開平7-201651

6

部電極パターンを形成する。この後、積層された誘電体シートの上に、外部電極パターンのみが形成された誘電体シートを、外部電極パターンを上面にすると共に貫通孔の位置が積層された誘電体シート上面の周囲にくり抜き部が形成されていない貫通孔の位置と一致するように積層し、さらにこの積層された誘電体シートの下に、外部電極パターン及び内部電極パターンが形成された誘電体シートを、内部電極パターンを上面にすると共に貫通孔が最上層の誘電体シートにおける貫通孔の位置を180°回転させた位置にくるように積層し、積層誘電体シートを形成する。この時、貫通孔及び内部電極パターンは、内部電極12～42を流れる電流による電磁界が互いに相殺する箇所に柱状端子13、14が配設されるように形成されている。

【0028】次に、積層誘電体シートを1250℃の大気中で焼成して積層コンデンサ10を作製する。

【0029】図4は実施例に係る積層コンデンサ10において、内部電極12の極性が+である場合の内部電極12を流れる電流の方向を示した模式図であり、図5は内部電極22の極性が-である場合の内部電極22を流れる電流の方向を示した模式図である。

【0030】図4及び図5から明らかなように実施例に係る積層コンデンサ10では、内部電極12、22を流れる電流は全体として+から-に流れており、この向きをベクトル的に表すとそれぞれが全方位に広がり、あるいは全方位から流れ込む。また、電流が流れる距離は同種の柱状端子14間距離の1/2と短い。このように、柱状端子13、14の配置を幾何学的に考慮することにより電流の向きを分散させて電流の電磁界を相殺すると共に、電流の流れる距離を短縮し、ESLを小さくすることができる。

【0031】実際に、実施例に係る積層コンデンサ10のESLを調べたところ、0.05nHと小さな値となっていることが確認された。

【0032】図6は実施例に係る積層コンデンサ10の1使用例を示した模式的断面図である。ここでは、LSIチップ57よりもひとまわり大きい寸法を有する積層コンデンサ10を用いた。図中55はパッケージを示しており、パッケージ55に搭載された積層コンデンサ10はパッケージ55の電源層69上に導電性材料で密着して接続されており、積層コンデンサ10下面の外部電極16が電源ラインの外部電極端子、上面の外部電極56が接地ラインの外部電極端子となっている。外部電極56上には導電性材料でLSIチップ57が密着して接続されている。LSIチップ57の接地端子(図示せず)はワイヤ59により直接外部電極56に接続され、さらにワイヤ60からパッケージの接地パッド61、ビアホール62、接地層63、ビアホール64、ピン65を通じて外部電源(図示せず)と接続されて短い多数の電流路が確保されている。一方、LSIチップ57の電

50

7

源端子（図示せず）はワイヤ66からパッケージのパッド67、ビアホール68、電源層69を通じて積層コンデンサ10の外部電極16に接続されると共に、ビアホール53及びピン54を通じて外部電源（図示せず）と接続されている。

【0033】図6から明らかなように実施例に係る積層コンデンサ10では、積層体15の表裏両主面に広い面積の外部電極16、56が形成されていることにより、LSIチップ57からの電流路が直接積層コンデンサ10の外部電極56に接続され、あるいは多数の電流路を介して外部電極16に接続され、短い多数の電流路が確保され、これら電流路を接続経路途中で集約する必要もなく、LSIチップ57と積層コンデンサ10の間におけるインダクタンスを小さくすることができる。

【0034】なお本実施例では、外部電極16、56が積層体15の表裏両主面の全面に形成されている場合について説明したが、外部電極16、56が形成される部分は積層体15の表裏両主面の全面でなくても柱状端子13あるいは柱状端子14を全て含んでいればよい。

【0035】以上説明したように実施例に係る積層コンデンサ10においては、内部電極12～42を流れる電流の方向を全方位に分散させることができると共に、多数の柱状端子13、14により電流の流れる距離を短くし、積層コンデンサ10自体のESLを小さくすることができる。しかも、内部電極12～42の対向面で容量を形成するため、大容量を得ることができる。

【0036】また、面積の広い外部電極16、56から外部への接続を行うことにより、パッケージ55等に搭載されるLSIチップ57の直下に実装することができる。また実装する際、多数の電流路を集約する必要がなくなつてインダクタンスを小さくできると共に、LSIチップ57との接続経路を短縮し、LSIチップ57と積層コンデンサ10の間におけるインダクタンスを小さくできる。

【0037】

【発明の効果】以上詳述したように本発明に係る積層コンデンサにおいては、誘電体板と内部電極とが交互に複数層積み重ねられた積層コンデンサにおいて、前記誘電体板及び前記内部電極からなる積層体の表裏両主面の少なくとも一部分ずつに外部電極が形成され、同極性となる前記内部電極及び前記外部電極が複数の柱状接続部材で互いに接続され、かつ前記内部電極を流れる電流による電磁界が互いに相殺する箇所に前記柱状接続部材が配設されているので、前記内部電極を流れる電流の方向を全方位に分散させることができると共に、多数の前記

(5)

特開平7-201651

8

柱状接続部材により電流の流れる距離を短くし、前記積層コンデンサ自体のESLを小さくでき、しかも前記内部電極の対向面で容量を形成するため大容量を得ることができる。また実装する際、多数の電流路を集約する必要がなくなつてインダクタンスを小さくできると共に、前記LSIチップとの接続経路を短縮し、前記LSIチップと前記積層コンデンサの間におけるインダクタンスを小さくできる。したがって、特に高周波領域における論理回路のスイッチングノイズ等を効果的に除去することができる。

【図面の簡単な説明】

【図1】本発明に係るチップ型積層セラミックコンデンサの実施例を模式的に示した斜視図である。

【図2】実施例に係るチップ型積層セラミックコンデンサを示した底面図である。

【図3】実施例に係るチップ型積層セラミックコンデンサの積層体部分を分解して示した斜視図である。

【図4】実施例に係る積層コンデンサにおける内部電極を流れる電流の方向を示した模式図である。

【図5】実施例に係る積層コンデンサにおける図4に示した内部電極と隣接する内部電極を流れる電流の方向を示した模式図である。

【図6】実施例に係る積層コンデンサをLSIが搭載されたパッケージに実装した場合を示した模式的断面図である。

【図7】従来のチップ型積層セラミックコンデンサを示した部分断面斜視図である。

【図8】チップ型積層セラミックコンデンサの回路構成を示した等価回路図である。

【図9】従来のチップ型積層セラミックコンデンサにおけるインピーダンス|Z|の周波数特性を示したグラフである。

【図10】従来の積層コンデンサにおける電流の流れる方向を示すための模式的断面図面である。

【図11】従来のチップ型積層セラミックコンデンサをLSIが搭載されたパッケージに実装した場合を示した模式的断面図である。

【符号の説明】

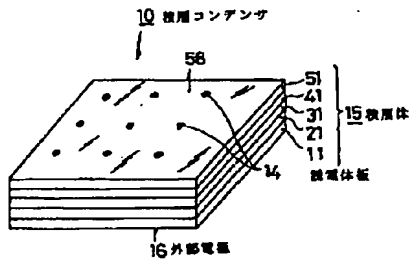
10 積層コンデンサ
11、21、31、41、51 誘電体板
12、22、32、42 内部電極
13、14 柱状端子
15 積層体
16、56 外部電極

40

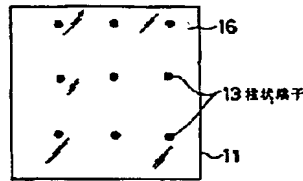
(6)

特開平7-201651

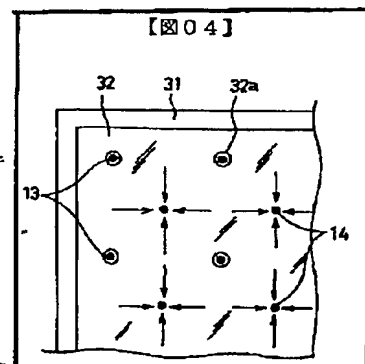
【図01】



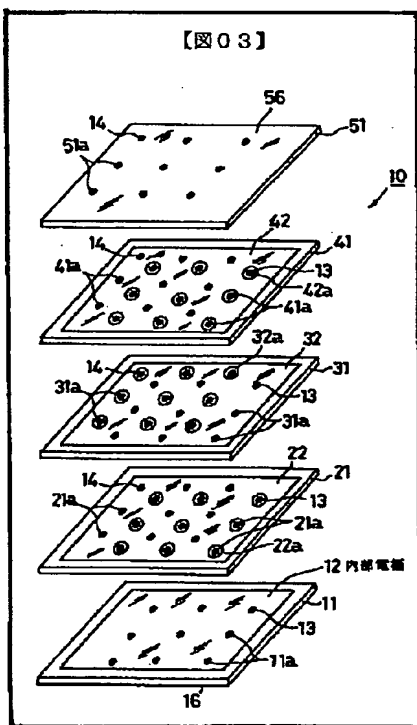
【図02】



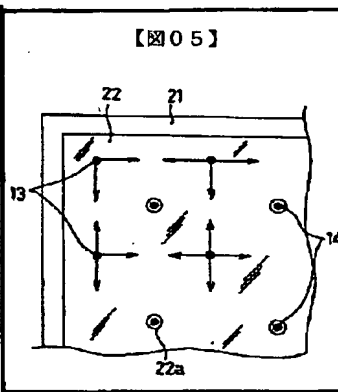
【図04】



【図03】



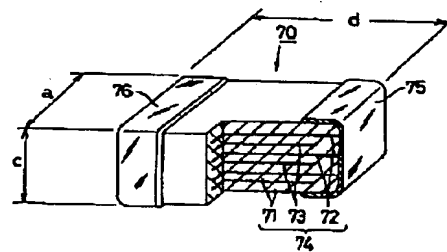
【図05】



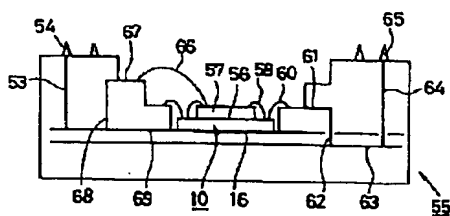
【図08】



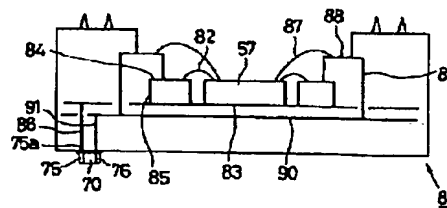
【図07】



【図06】



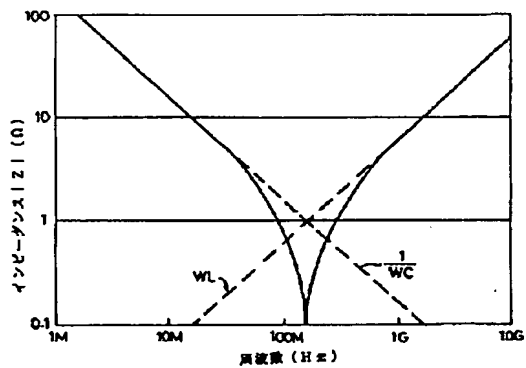
【図11】



(7)

特開平7-201651

【図09】



【図10】

